

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269489

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-069131

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.03.1999

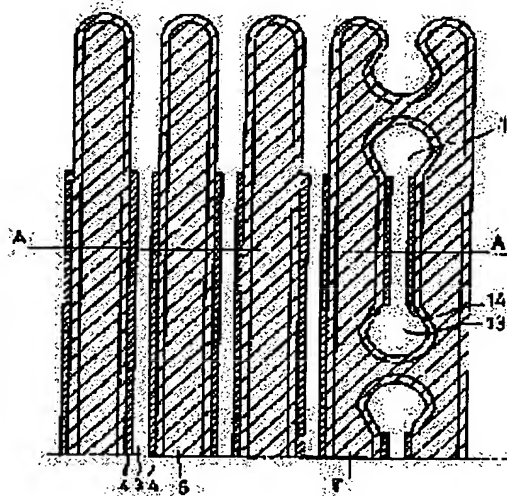
(72)Inventor : TAKASHITA MASAKATSU
KAWAKAMI NORIO

(54) VERTICAL MOS SEMICONDUCTOR DEVICE HAVING CURRENT DETECTING CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the lowering of withstand voltage of a current detecting cell part by extending the regional area of a base region end part of the current detecting cell region formed in a part of a main cell region relative to the main body thereof.

SOLUTION: A p-conductivity type base region is formed in a gate electrode 8 via an elongated elliptic window formed at the center thereof, and two source region 14 are formed along the central part of a stripe-shaped window 11 whose end parts are extended into a sector shape, and a sense electrode 17 in contact with both of these source region 14 and base region 13 is formed independently of a source electrode 7. A current detecting cell is constructed of the source electrode 14 to which the sense electrode 17 is connected, the base region 13 including the source electrode 14, a gate electrodes 8 provided on both sides thereof, and a back side electrode 9 provided on the surface of a semiconductor substrate 1. Therefore, as the end of the base region is developed into a sector shape, a higher withstand voltage of the current detecting cell can be obtained.



LEGAL STATUS

[Date of request for examination] 24.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3878353

[Date of registration] 10.11.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-269489
(P2000-269489A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.⁷
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

テーマコード* (参考)

6 5 7 F
6 5 2 F
6 5 2 C

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平11-69131
(22) 出願日 平成11年3月15日 (1999.3.15)

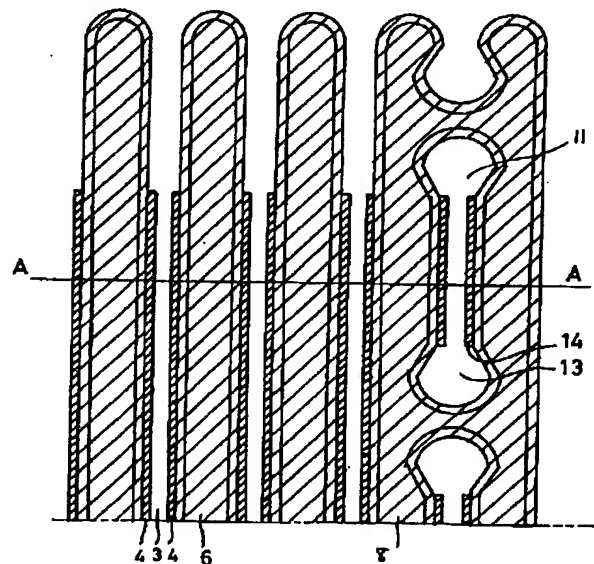
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 高下 正勝
兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内
(72) 発明者 川上 典男
兵庫県姫路市余部区上余部50番地 株式会
社東芝姫路半導体工場内
(74) 代理人 100081732
弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 電流検出セルを有する縦型MOS半導体装置

(57) 【要約】

【課題】 電流検出セル内蔵絶縁ゲート型半導体装置の耐圧を向上すること。

【解決手段】 主電流セル101の一部に電流検出セル102が形成された電流検出機能を有するMOS型半導体装置において、電流検出セル102を構成するベース領域13の端部面積11を中心部より大きく形成する。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の表面上に絶縁膜を介してほぼ平行に配設された複数のストライプ状のゲート電極と、これらのゲート電極をマスクとして前記半導体基板に形成された複数の第 2 導電型のベース領域と、これらのベース領域内に形成された第 1 導電型のソース領域と、これらのソース領域が形成される前記複数のベース領域のうち、一部を除いたベース領域内の前記ソース領域に共通に接続されるソース電極と、前記一部のベース領域内のソース領域に接続されるセンス電極と、前記第 1 導電型の半導体基板の裏面に設けられた裏面電極とからなり、前記ソース電極、このソース電極が共通に接続された前記ソース領域を含む前記複数のベース領域および前記裏面電極とにより主電流セルが構成され、前記センス電極、このセンス電極が接続された前記ソース領域を含むベース領域および前記裏面電極とにより電流検出セルが構成される縦型 MOS 構造の半導体装置において、前記電流検出セルを構成するベース領域の端部は、隣接する前記主電流セルを構成するベース領域との間隔を狭めるように、その領域の面積が拡大されていることを特徴とする電流検出セルを有する縦型 MOS 半導体装置。

【請求項 2】 前記電流検出セルを構成するベース領域は、前記主電流セルを構成するベース領域よりもその長さが短く、前記電流検出セルを構成するベース領域の端部は、ほぼ扇状に拡大されていることを特徴とする請求項 1 記載の電流検出セルを有する縦型 MOS 半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電流検出機能を有する半導体装置に係り、特に電流検出セル部の構造に関する。

【0002】

【従来の技術】 MOSFET において過電流保護は重要な課題であり、従来は母線に検出抵抗または電流シャントを挿入して行われていたが、近年は、電流検出用素子（セル）をオンチップ化することにより、電流検出のためのパワー損失、部品点数、検出回路の簡略化が可能となってきた。このような電流検出セルを主電流セルと同一チップ上に形成した従来の縦型 MOSFET の断面図を図 9 に、その断面斜視図を図 10 に、ストライプ状のポリシリコンゲートパターン部の平面図を図 11 にそれぞれ示す。

【0003】 これらの図に示すように、縦型 MOS 構造は N 型半導体基板 1 上に絶縁膜 5 を介して設けられた複数のストライプ状のゲート電極 6 と、これらのゲート電極 6 をマスクとして半導体基板 1 表面領域に形成された複数の P 導電型のベース領域 3 と、これらのベース領域 3 のそれぞれの領域内の前記ゲート電極 6 に沿って

形成された 2 本の N 導電型のソース領域 4 が形成されている。これらのソース領域 4 が形成された前記複数のベース領域 3 には、ベース領域 3 およびソース領域 4 の両方にコンタクトするソース電極 7 が共通に接続され、このソース電極 7 からはソース電極端子 S が導出されている。このソース電極端子 S、ソース電極 7 が共通に接続されたソース領域 4 と、それらを含むベース領域 3、ベース領域 3 間に配設されたゲート電極 6、そして前記半導体基板 1 表面に設けられた裏面電極 9 とにより、主電流セル 101 が構成されている。

【0004】 次に、半導体基板 1 上にはまた、絶縁膜 5 を介して、主電流セル 101 を構成するゲート電極 6 と平行にゲート電極 8 が配設されている。このゲート電極 8 には図 11 に示すように、その中央に長楕円状の窓 9 が形成されており、この窓 9 を介して P 導電型のベース領域 23 が形成されている。このベース領域 23 の表面領域には、また、長楕円状の窓 9 に沿って、2 本のソース領域 24 が形成されており、これらのソース領域 24 およびベース領域 23 の両方にコンタクトするセンス電極 27 がソース電極 7 とは独立に形成されている。このセンス電極 27 が接続されたソース領域 24 と、このソース領域 24 に接続されたセンス電極端子 S_e と、ソース領域 24 を含むベース領域 23 と、その両側に配設されたゲート電極 8、そして前記半導体基板 1 表面に設けられた裏面電極 9 とにより、電流検出セル 202 が構成されている。

【0005】 なお、このゲート電極 8 の両側には、主電流セル 101 を構成するゲート電極 6 が配設されており（図 11 では片方のみ示されている。）、それらのゲート電極 6 との間にも、主電流セル 101 を構成するベース領域 3 が形成されている。

【0006】

【発明が解決しようとする課題】 上記のように、従来の電流検出機能を有する半導体装置は、ポリシリコンゲートをマスク材として二重拡散によりユニットセルを形成し、そのセルの一部を電流検出セルとして別電極で取り出している。一般に電流検出セルは主電流セルと同じ出力特性を示すように、主電流セル部と同じポリシリコンゲート幅、開口幅で電流検出セル領域を形成すると、電流検出セル領域のベース領域 23 の端部における、隣接する主電流セルとのベース領域間の距離 d_L が、ベース領域 23 の中央部における距離 d に比べて大きくなる領域（図 11）が形成される。

【0007】 このような構造の MOSFET においては、前記ソース電極端子 S および裏面電極 9 間、センス電極端子 S_e および裏面電極 9 間に逆方向の高電圧が印加されると、電流検出セル領域と主電流セル領域のベース領域間距離が大きい部分は、距離が小さい部分に比べて空乏層の広がり方が十分ではなく、この部分に電界が集中するため、耐圧が低下し、MOSFET 全体の耐圧劣

10

20

30

40

50

化を招くという問題があった。

【0008】本発明は上記問題点を鑑みてなされたもので、電流検出機能を有するMOSFETにおける耐圧の低下を防止することを目的とする。

【0009】

【課題を解決するための手段】本発明の電流検出セルを有する縦型MOS半導体装置は、第1導電型の半導体基板の表面上に絶縁膜を介してほぼ平行に配設された複数のストライプ状のゲート電極と、これらのゲート電極をマスクとして前記半導体基板に形成された複数の第2導電型のベース領域と、これらのベース領域内に形成された第1導電型のソース領域と、これらのソース領域が形成される前記複数のベース領域のうち、一部を除いたベース領域内の前記ソース領域に共通に接続されるソース電極と、前記一部のベース領域内のソース領域に接続されるセンス電極と、前記第1導電型の半導体基板の裏面に設けられた裏面電極とからなり、前記ソース電極、このソース電極が共通に接続された前記ソース領域を含む前記複数のベース領域および前記裏面電極とにより主電流セルが構成され、前記センス電極、このセンス電極が接続された前記ソース領域を含むベース領域および前記裏面電極とにより電流検出セルが構成される縦型MOS構造の半導体装置において、前記電流検出セルを構成するベース領域の端部は、隣接する前記主電流セルを構成するベース領域との間隔を狭めるように、その領域の面積が拡大されていることを特徴とするものである。

【0010】また、本発明の電流検出セルを有する縦型MOS半導体装置においては、前記電流検出セルを構成するベース領域は、前記主電流セルを構成するベース領域よりもその長さが短く、前記電流検出セルを構成するベース領域の端部は、ほぼ扇状に拡大されていることを特徴とするものである。

【0011】

【発明の実施の形態】以下本発明の電流検出機能を有する半導体装置の実施形態について図面を参照して説明する。図1は、本発明の一実施形態である縦型MOSFETにおけるポリシリコンゲートパターン部の平面図、図2は上記縦型MOSFETの断面図、図3はその断面斜視図である。なお、図面中、従来の半導体装置の構成不文と同一の構成部分には同一の符号を付して、その詳細な説明は省略するものとし、以下では主として従来装置と異なる点を重点的に説明する。

【0012】図示のように、本発明のMOSFETの構造は、N型半導体基板1上に絶縁膜5を介して設けられたストライプ状に形成されたポリシリコンのゲート電極6と、前記ゲート電極をマスクとして二重拡散により前記半導体基板に形成されたP型ベース領域3と、このベース領域の表面上に所定の深さで選択的に形成されたN型ソース領域4と、前記ベース領域3とソース領域4からなりソース電極7と接続される主電流セル領域101が

構成されている。

【0013】次に、半導体基板1上にはまた、絶縁膜5を介して、主電流セル101を構成するゲート電極6と平行にゲート電極8が配設されている。このゲート電極8には図11に示すように、その中央に長楕円状の窓9が形成されており、この窓9を介してP導電型のベース領域23が形成されている。このベース領域23の表面領域には、また、端部が扇状に拡大されたストライプ状の窓11の中央部に沿って、2本のソース領域14が形成されており、これらのソース領域14およびベース領域13の両方にコンタクトするセンス電極17がソース電極7とは独立に形成されている。このセンス電極17が接続されたソース領域14と、このソース領域14を含むベース領域13と、その両側に配設されたゲート電極8、そして前記半導体基板1表面に設けられた裏面電極9とにより、電流検出セル102が構成されている。

【0014】このように、本発明のMOSFETの構造は電流検出セル102のベース領域を、端部を扇状に拡張したストライプ状のマスクパターンにより形成したことを特徴とするものである。このような構造により、電流検出セル102の耐圧を従来の装置の場合に比較して高くすることができる。この理由を図4乃至図7により、従来装置と対比して説明する。図4は本発明の電流検出セル部分の上面図、図5は図4のA-A線に沿う断面図、図6及び図7は従来の装置における対応する図面である。図4及び図5に示すように、本発明の電流検出セル部分のベース領域13は、隣接する主電流セル領域101のベース領域3との距離がその端部においてもその他の部分より短い、ほぼ同じになるため、逆バイアスによる空乏層の広がりも図の破線で示すように、相互に重なり合うため、電界の集中が起らず耐圧は主電流セルとほぼ同じになる。これに対して、従来の装置においては、図6及び図7に示すように、電流検出セル部分のベース領域13は、隣接する主電流セル領域101のベース領域3との距離がその端部において大きくなるため、空乏層の広がりが十分でなく、この部分の電界形の部分に比べて大きくなり、この部分の耐圧が低下して低電圧でブレークダウンを生ずる結果となる。

【0015】本発明に係る構造のMOSFETの耐圧特性を図8に従来の構造の耐圧特性（図中に破線で示す）と比較して示す。

【0016】上記の実施形態はNチャネル型MOSFETを例示したが、半導体ウェーハの構造によりIGBT（Insulated Gate Bipolar Transistor）などのMOS型半導体装置、また逆導電型の半導体装置にも適用できる。

【0017】さらに、本発明においては電流検出セルを構成するベース領域端部の形状は、隣接する主電流セルを構成するベース領域との間隔を短縮することを目的としているため、その形状は上記扇型に限定されるもので

はない。

【0018】

【発明の効果】以上説明したように、本発明は、主電流セル領域の一部に形成された電流検出セル領域のベース領域端部の領域面積をその本体部分に対して拡張することにより、電流検出セル部分の耐圧低下を防止し、以って電流検出セルが組み込まれた半導体装置全体の耐圧を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である縦型MOSFETにおけるシリコンゲートパターン部の平面図。

【図2】図1の縦型MOSFETの断面図。

【図3】図1の縦型MOSFETの断面斜視図。

【図4】図1の縦型MOSFETにおける電流検出セル部分の上面図。

【図5】図4のA-A線に沿う断面図。

【図6】従来の縦型MOSFETにおける電流検出セル部分の上面図。

【図7】図6のA-A線に沿う断面図。

*【図8】本発明に係る構造のMOSFETの耐圧特性を説明する線図。

【図9】従来例の縦型MOSFETの断面図。

【図10】従来例の縦型MOSFETの断面斜視図。

【図11】従来例の縦型MOSFETにおけるストライプ状のポリシリコンゲートパターン部の平面図。

【符号の説明】

1…N型半導体基板

3…P型ベース領域

4…N型ソース領域

5…ゲート絶縁膜

6…ゲート電極

13…P型ベース領域

14…N型ソース領域

23…P型ベース領域

24…N型ソース領域

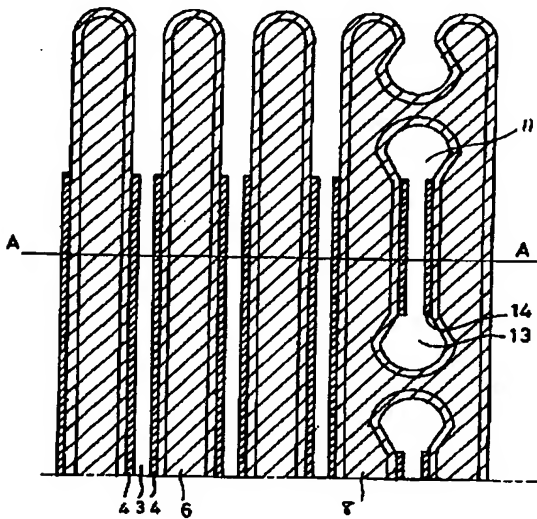
101…主電流セル領域

102…電流検出セル領域

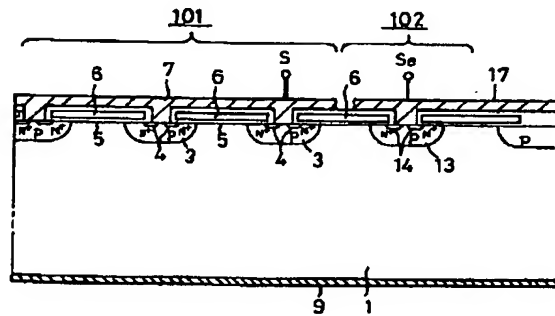
202…電流検出セル領域

*

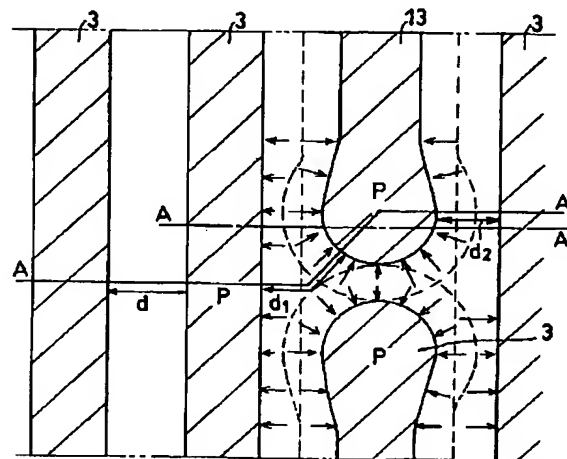
【図1】



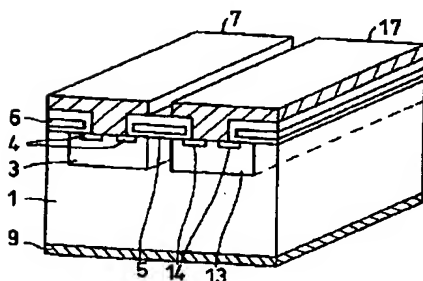
【図2】



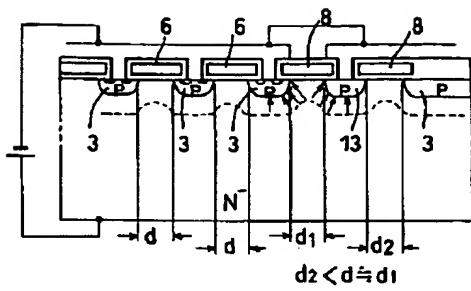
【図4】



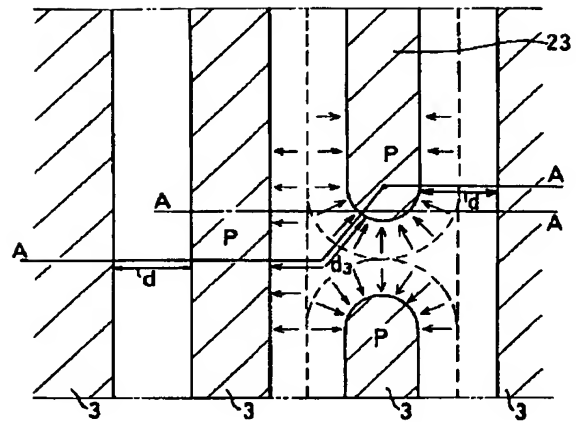
【図3】



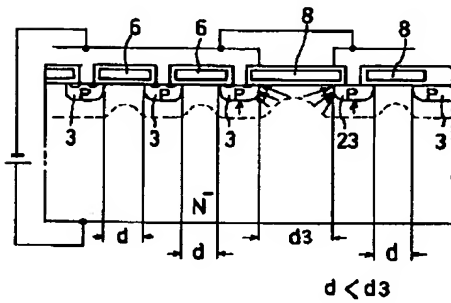
【図 5】



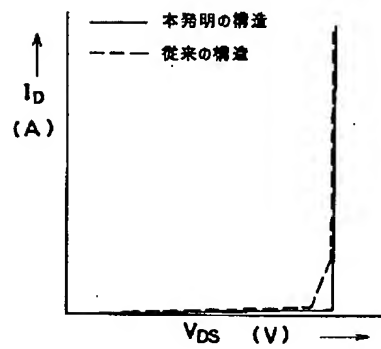
【図 6】



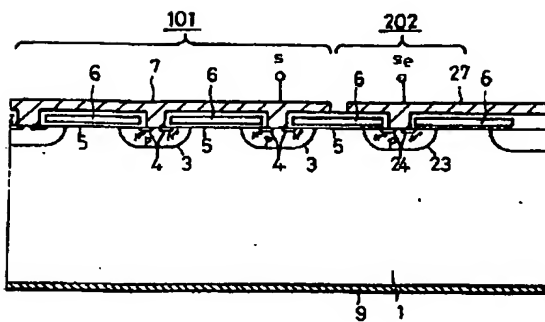
【図 7】



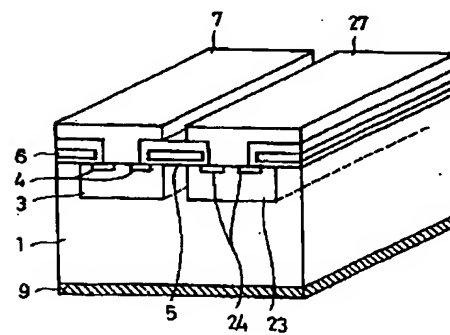
【図 8】



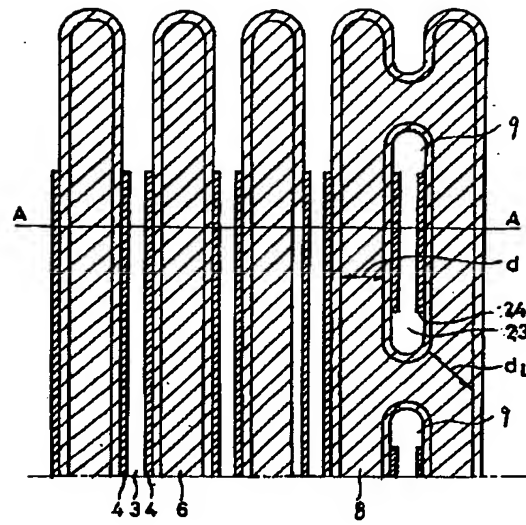
【図 9】



【図 10】



【図 11】



Reference Number: 028698TA

Dispatch Number: 475606 1/

Dispatch Date: 16/10/2007

Notification of Reason(s) for Refusal

Patent Application No.	No. 2003-195498
Drafting Date	18/9/2007
Examiner of JPO	ONODA Makoto 8427 4L00
Representative	OKADO Akiyoshi (2 other agents)
Applied Provision	Patent Law Section 29 (1) Patent Law Section 29 (2) Patent Law Section 36

This application should be refused for the reason mentioned below. If the applicant has any argument against the reason, such argument should be submitted within sixty days from the dispatch date of this notification.

Reason(s)

<Reason 1> The invention(s) in the claim(s) mentioned below of the subject application should not be granted a patent under Patent Law Section 29 (1) (iii) since it could be the invention(s) described in the publication(s) mentioned below which was distributed in Japan prior to the filing of the subject application.

<Reason 2> The invention(s) in the claim(s) mentioned below of the subject application should not be granted a patent under Patent Law Section 29 (2) since it could have easily been made by persons who have common knowledge in the technical field to which the invention(s) pertains, on the basis of the invention(s) described in the publication(s) mentioned below

which was distributed in Japan prior to the filing of the subject application.

<Reason 3> The claim(s) of the subject application does not comply with the requirements under Patent Law Section 36 (6) (i)with regard to the note mentioned below.

Note (See the list of cited documents etc., below.)

With regard to novelty and inventive step

[Claim 1], [Claim 2] (For Reason 2 only)

Reasons 1 and 2

Cited document 1

Remark:

Cited document 1: refer to the Fig.1 and related description.

[Claim 1], [Claim 2] (For Reason 2 only), [Claim 3],

[Claim 4] (For Reason 2 only)

Reasons 1 and 2

Cited document 2

Remark:

Cited document 2: refer to the Fig.1 and related description.

With regard to improper description

[Claim 1], [Claim 2]

Reason 3

Remark:

Concerning the problems to be solved by the present invention, the following description is made; "Such conventional semiconductor device, however, had a problem of local heating after switching off. The cause lies in the shape of the contact opening 908. That is, after switching off, as indicated by arrow I in Fig.21, hole current from P field region 911 flows into the emitter electrode 909. As shown in Fig.22, this hole current density is high at four corners of the rectangular contact opening 908. There is no

contact opening 908 in a region between devices, and holes in the P field region 911 are directed toward the nearest contact opening 908. As a result, when interrupting a large current, in particular, the device may be destructed due to excessive heat generation. This phenomenon is prominent at corners of terminal end of device array.” ([0007]). Configuration, operations and advantages of the present invention for the purpose of solving such problems are described in the embodiment (the first mode) according to the present claims as follows; “In the insulated gate transistor of the embodiment, as shown in Fig. 2, a feature lies in the plane shape of the contact opening 108. That is, while it was rectangular in the prior art (see Fig. 19), but in the embodiment edges at four corners are formed in curved lines. As a result, right-angle apexes are eliminated.” ([0022]), “In ON state, holes flow into a P field region 111 from N drift regions 102 etc. As a result, the P field regions 111 is considerably high in hole concentration. When being switched off, holes accumulated in the P field region 111 are moved to escape to the emitter electrode 109. However, the P field region 111 does not contact directly with the emitter electrode 109. Accordingly, hole current from the P field region 111 escapes via the contact opening 108 to the emitter electrode 109 by way of the P+ emitter region 100.” ([0024]), “In the gate insulated transistor of the embodiment, the plane shape of the contact opening 108 brings about following merits. That is, there is little harm by concentration of hole current at corners of the contact opening 108. The reason is that the corners are formed with curved lines. In other words, since there is no right-angle apex at corners, hole current from the P field region 111 is dispersed in the entire curved line portions at corners as shown in Fig. 5. Therefore, even at the location of highest current density, the current density is lower as compared with that at corner apex in the conventional insulated gate transistor (see Fig. 22). Hence, excessive heat generation is not caused after switching off.” ([0025]).

Judging from the above-mentioned description, it has to be prerequisite for the present invention to limit the configuration of the insulated gate transistor including a P field region (Fig. 1 to 4, for example).

However, the subject matter of the present claims lacks such

limitation and it does not reflect the technical features in order to solve the problems in the detailed description of the invention. Accordingly, operations and advantages thereof are not clear, and the present claims are considered to extend beyond the range of the detailed description.

Consequently, the invention according to the present claims disagrees with the detailed description.

[Claim 3], [Claim 4]

Reason 3

Remark:

The same intention as indicated above regarding [Claim 1] and [Claim 2].

In addition, the exact location of a “central portion” and an “end portion” in the present claims is not clear. Accordingly, please take it account that this point has no clear relevance with operations and advantages of the present invention.

[Claim 5], [Claim 6]

Reason 3

Remark:

The same intention as indicated above regarding [Claim 1] and [Claim 2].

In addition, the exact location of a “central portion” and an “end portion” in the present claims is not clear. Accordingly, please take it account that this point has no clear relevance with operations and advantages of the present invention.

In addition, you are preferably advised to provide an amended document in advance as you wish.

On an occasion of further reason(s) for refusal being found, notification thereof will be dispatched.

The list of cited documents etc.

1. JP 05-090595 A
 2. JP 2000-269489 A
-

Record of the result of prior art search

Technical field(s) to be searched: IPC H01L29/78

H01L21/28

DB

Prior art document(s)

This record is not a component(s) of the reason(s) for refusal.

Please contact the contact name below regarding this notification of reasons for refusal or a request for an interview.

Third Patent Examination Department, Semiconductor Division

Examiner ONODA Makoto

TEL. 03(3581)1101 ext.3462

FAX. 03(3501)0673